

代理検出した、  
CN1154907Cの日本対応出願

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平7-262081

(43)公開日 平成7年(1995)10月13日

(51)Int.Cl.<sup>6</sup>

G 0 6 F 12/02

識別記号

5 5 0 E 7608-5B

庁内整理番号

F I

技術表示箇所

審査請求 未請求 請求項の数 2 O L (全 7 頁)

(21)出願番号 特願平7-2197

(22)出願日 平成7年(1995)1月10日

(31)優先権主張番号 1919/1994

(32)優先日 1994年2月2日

(33)優先権主張国 韓国 (KR)

(71)出願人 390019839

三星電子株式会社

大韓民国京畿道水原市八達区梅灘洞416

(72)発明者 鄭 貳 和

大韓民国京畿道水原市八達区池洞187-49

番地 21統2班

(74)代理人 弁理士 伊東 忠彦 (外1名)

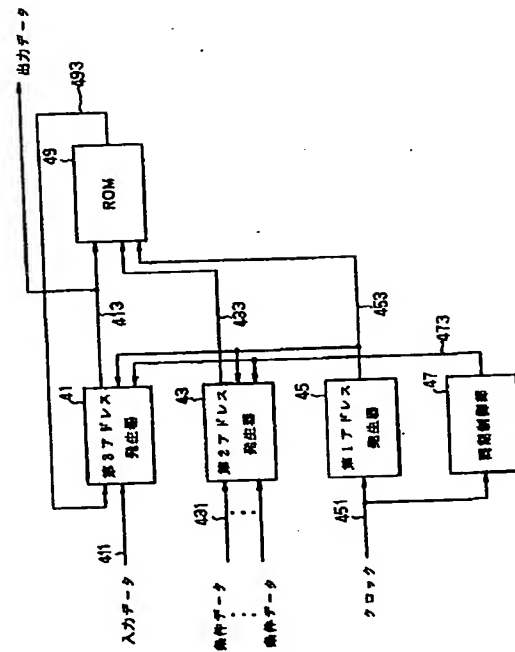
(54)【発明の名称】 データ変換装置

(57)【要約】

【目的】 多数のルックアップテーブルを利用してデータを変換するデータ変換装置を提供する。

【構成】 少なくとも2つ以上のルックアップテーブルを順次に参照して、入力データおよびルックアップテーブル別に選択された変換レベルに対応する変換された出力データを発生するデータ変換装置において、データ変換モードの数に対応する少なくとも2つ以上のルックアップテーブルをブロック単位で貯蔵し、前記各ブロックは当該変換モードで規定された変換レベルの数に対応する多数のサブルックアップテーブルを含む1つのメモリ素子と、入力データとメモリ素子から読み出された出力データとのうちで選択されたデータと、各変換モードで選択された変換レベルデータによって前記メモリ素子にアクセスするためのアドレスを発生し、前記メモリ素子に貯蔵されたルックアップテーブルの数に対応する回数ほど反復的に前記アドレスを発生するアドレス発生手段とを含む。

【効果】 これにより、メモリ素子の体積を最小化してデータ変換装置の小型化が実現できる。



请即刻仔细核查文本,

am / 2005-07-11 pm

若有误, 速通知检索处。

## 【特許請求の範囲】

【請求項1】 少なくとも2つ以上のルックアップテーブルを順次に参照して、入力データおよびルックアップテーブル別に選択された変換レベルに対応する変換された出力データを発生するデータ変換装置において、データ変換モードの数に対応する少なくとも2つ以上のルックアップテーブルをブロック単位で貯蔵し、前記各ブロックは当該変換モードで規定された変換レベルの数に対応する多数のサブルックアップテーブルを含む1つのメモリ素子と、

入力データとメモリ素子から読み出された出力データとのうちで選択されたデータと、

各変換モードで選択された変換レベルデータによって前記メモリ素子をアクセスするためのアドレスを発生し、前記メモリ素子に貯蔵されたルックアップテーブルの数に対応する回数ほど反復的に前記アドレスを発生するアドレス発生手段とを含むことを特徴とするデータ変換装置。

【請求項2】 前記アドレス発生手段は、

前記メモリ素子に貯蔵されたルックアップテーブルを順次に選択するための第1アドレスを発生する第1アドレス発生手段と、

前記選択されたルックアップテーブルに該当する変換モードでの変換レベルに対応するサブルックアップテーブルを選択するための第2アドレスを発生する第2アドレス発生手段と、

入力データおよびメモリ素子から読み出された出力データが入力され、前記入力データが第1変換モードにより変換される際には入力データに対応する変換データを、そして第1変換モード以外の変換モードにより変換される際には前記メモリ素子から読み出された出力データに対応する変換データを選択するための第3アドレスを発生する第3アドレス発生手段と、

前記発生した第1、第2および第3アドレスの同期を合わせて、前記メモリ素子のデータをアクセスするための同期信号を発生する同期信号発生手段とを含むことを特徴とする請求項1項記載のデータ変換装置。

## 【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、画像データ、音声データなどのような入力データを使用者の要求に応じて変換するデータ変換装置に係り、特に入力データに対応する変換用のデータからなる多数のルックアップテーブル(LOOK-UP-TABLE ; 以下LUTという)を利用してデータを変換するデータ変換装置に関する。

【0002】

【従来の技術】 カラープリンター、ファクシミリなどのような画像出力装置がLUTを利用して、明るさ、コントラスト、チルトなどに対する画質補償を遂行する場合、画像出力装置は各補償モードに応じて規定される画

質補償のためのLUTを別のメモリ素子に貯蔵して利用せねばならない。例えば、3種類の補償モードで画質補償を遂行せねばならない場合には、3種類のLUTを貯蔵する3つのメモリ素子が必要である。

【0003】 図1は従来のカラープリンターにおいてLUTを利用したデータ変換装置のブロック図である。第1、第2および第3ROM(12、14、16)は、変換モード別のLUTデータを貯蔵するメモリ素子であり、第1、第2および第3ラッチ(11、13、15)は、各ラッチに入力されるデータをクロック信号に応じて出力するようにラッチし、第1および第2ディレイ17、18は、各ROM出力端に連結されたラッチ13、15を制御するための遅延されたクロック信号を発生する。

【0004】 入力データ101が周期的に入力されると、入力データ101は第1ラッチ11にラッチされる。第1ラッチ11は、クロック信号110に応じてラッチされたデータを第1ROM12に出力し、出力データ102は第1ROM12の下位アドレスとなる。第1条件データ107は、第1ROM12に貯蔵されたLUTに対する変換レベルを決定するデータであり、第1ROM12の上位アドレスとなる。すなわち、第1ROM12をアクセスするためのアドレスは、下位アドレスである第1ラッチ11の出力データ102および上位アドレスである第1条件データ107からなり、第1ROM12から出力されるデータ103は、入力データ101および第1条件データ107に応じて第1LUTにより変換されたデータである。

【0005】 第1ディレイ17はクロック信号110を第1ROM12による入出力間の遅延時間ほど遅延させ、遅延されたクロック信号111を発生して第2ラッチ13に出力する。第1ROM12の出力に連結された第2ラッチ13は、ラッチされた第1ROM12からの出力データ103を遅延されたクロック信号111により第2ROM14に出力する。第2ROM14をアクセスするためのアドレスは、下位アドレスである第2ラッチ13の出力データ104および上位アドレスである第2条件データ108からなり、第2ROM14から出力されるデータ105は、第1LUTによって1次に変換されたデータ104および第2条件データ108に応じて第2LUTによって2次に変換されたデータである。

【0006】 前述したような過程で第2ディレイ18、第3ラッチ15および第3ROM16が動作して、2次に変換されたデータ106および第3条件データ109に応じて第3ROM16の第3LUTにより3次に変換されたデータ113が最終的に出力される。第1、第2および第3条件データ107、108、109とROM12、14、16に貯蔵されたLUTとの関係を説明すれば、次の通りである。第1条件データ107は、第1LUTの変換モードに対する変換レベルを決定する条件

データであり、通常使用者により外部から与えられるデータである。例えば、入力データが8ビットからなる画像データであり、第1ROM12に貯蔵された第1LUTは、画像の明るさのレベルを調整するためのLUTであり、その明るさのレベルは4段階に調整できる場合、入力データの種類の数は2<sup>4</sup>、すなわち0から255までの256個であり、第1LUTはレベル段階別に256バイト(256×8ビット)のデータからなり、第1条件データは4段階を示すために、2ビットデータからなる。

【0007】図2(A)ないし(C)は従来のデータ変換装置に使用されたROMのデータ貯蔵形態を示したものである。各LUTは各変換モードで4レベルに調整することができ、各ROMのメモリ容量は4つの領域に分割され、レベルによる変換データが各分割された領域に貯蔵される。前述したように、従来の技術によるデータ変換装置は、必要なLUT数と同一のROM素子を互いに直列に連結し、各ROMに貯蔵されたLUTデータを順次に読み出すことにより、データ変換を遂行する。一般に、ROM周辺制御回路に含まれる多くの素子は、エーシック(ASIC)などにより1つにチップに小型化できるが、LUTを貯蔵するROMは必要に応じて、その内容の変更を考慮して、エーシックの内部に含まれない。

【0008】よって、変換モードの種類によるLUT数に対応して、それぞれ別のメモリ素子を具備しなければならないために、装置の小型化が制限され、要求されるハードウェア量とコストとが増加する問題点があった。

【0009】

【発明が解決しようとする課題】本発明の目的は、多数のLUTを1つのメモリ素子に貯蔵して、データを変換することができるデータ変換装置を提供することである。

【0010】

【課題を解決するための手段】前記目的を達成するために、本発明によるデータ変換装置は、少なくとも2つ以上のルックアップテーブルを順次に参照して、入力データおよびルックアップテーブル別に選択された変換レベルに対応する変換された出力データを発生するデータ変換装置において、データ変換モードの数に対応する少なくとも2つ以上のルックアップテーブルをブロック単位で貯蔵し、前記各ブロックは当該変換モードで規定された変換レベルの数に対応する多数のサブルックアップテーブルを含む1つのメモリ素子と、入力データとメモリ素子から読み出された出力データとのうちで選択されたデータと、各変換モードでの変換レベルを選択するデータによって前記メモリ素子をアクセスするためのアドレスを発生し、前記メモリ素子に貯蔵されたルックアップテーブルの数に対応する回数ほど反復的に前記アドレスを発生するアドレス発生手段とを含むことを特徴とする。

【0011】

【作用】多数のLUTを1つのメモリ素子に貯蔵し、これを利用したデータ変換装置を提供することにより、メモリ素子の体積を最小化してデータ変換装置の小型化を実現する。

【0012】

【実施例】以下、添付した図面に基づいて本発明の実施例を詳細に説明する。図3は本発明によるデータ変換装置に適用されるメモリ素子のデータ貯蔵形態を示したものである。メモリ素子の全体メモリ容量は、変換モードの種類に応じて要求されるLUTの数に対応するブロックに分割され、各分割されたブロックのメモリ容量は、当該LUTの変換レベルの数に対応する小ブロックに分割される。変換のためのデータは、当該変換モードおよび変換レベルに応じて、分割されたブロックおよび小ブロックに貯蔵される。

【0013】本実施例は、入力データが8ビットからなる画像データであり、各LUTは画質調整のための変換モード(例えば、明るさ、コントラストなど)により規定され、変換レベルは各変換モードで画質を4段階に調整できる場合である。無論、本発明の適用において、入力データのビット数、変換モードの種類又は変換レベルの数などが本実施例と異なると、それによりメモリ素子のブロックおよび小ブロックのメモリ容量を適切に分割できる。そして、各LUTが占めるべきメモリ容量が異なる場合には、各LUTに対するメモリブロックを互いに同じ容量に分割したり、又はメモリ容量の効率的な使用を図るために、可変的に分割することができる。後者の場合には、メモリ容量の可変的な構成により追加されるデータアドレッシングなどの問題を考慮しなければならない。

【0014】また、メモリ素子に貯蔵されるLUTデータは、画質補償のためのデータだけでなく、音質補償のためのデータおよび温度補償のためのデータなど、本発明が適用される機器に応じて必要な、様々な変換データを含む。図4は本発明によるデータ変換装置のブロック図である。データ変換装置は、図3に示した形態であり、複数のLUTを貯蔵するROM49、変換モードに応じて順次にLUTを選択するための第1アドレス453を発生する第1アドレス発生部45、変換レベルに応じて第1アドレス453により選択されたLUT内の小ブロックを選択するための第2アドレス433を発生する第2アドレス発生部43、第1および第2アドレス453、433によって選択された小ブロック内の変換データを選択するための第3アドレス413を発生する第3アドレス発生部41、そしてROM49に入力される第1、第2および第3アドレス453、533、413の同期を合わせるための同期信号473を発生する同期制御部47とからなる。

【0015】クロック信号451は、1つの入力データ

5

411が入力された際からROM49に貯蔵された全てのLUTによってデータ変換され最終的に変換されたデータが出力されるまでの時間と同一の周期を有するパルス信号である。クロック信号451は、入力データ411と同期されており、第1アドレス発生部45および同期制御部47に入力され、ROM49をアクセスするアドレス455、433、413の同期を合わせる。

【0016】第1アドレス発生部45は、クロック信号451を入力してROM49に貯蔵されたLUTを順次に選択するための第1アドレス453を発生する。第2  
10 アドレス発生部43は、各LUT毎に定められた変換レベルを決定する条件データ431に応じて、第1アドレス453によって選択されたLUT内で小ブロックを選択するための第2アドレス433を発生する。そして、第3アドレス発生部41は、入力データ411および帰還された出力データ493を入力して、選択された小ブロック内で変換データを選択するための第3アドレス413を発生する。すなわち、第1LUTによりデータを変換する際には入力データ411が、その他の場合には  
20 帰還された出力データ493が第3アドレス413として発生する。よって、ROM49のデータをアクセスするためのアドレスは、第1、第2および第3アドレス453、433、413の順に上位アドレスとなる。

【0017】図5は図4に示したデータ変換装置の詳細なブロック図である。本実施例は、ROM59に3つのLUTが貯蔵された場合である。第1アドレス発生部51は、入力されるクロック信号561の1周期の間4つのパルスを発生するカウンタ551からなり、発生した信号550は、ROM59、第2マックス(MUX)531およびデコーダ515に出力される。

【0018】第2アドレス発生部53は、カウンタ551から入力されるパルス信号550に応じて3つの条件データ541、542、543のうちで1つのデータを選択して出力(545)する3ツ1マックス(3 to 1 MUX)からなる第2マックス531、及び第2マックス531から出力されたデータ545をラッチし、ラッチされたデータを同期信号570に応じてROM59に出力する第2ラッチ532からなる。

【0019】第3アドレス発生部51は、カウンタ551から入力されるパルス信号550に応じて第1マックス511を制御するための信号525を発生するデコーダ515、入力データ521および帰還された出力データ590が入力され、デコーダ515から発生した制御信号525に応じて2つの入力信号521、590のうちで1つの信号を選択して出力(523)する2ツ1マックス(2 to 1 MUX)からなる第1マックス511、及び第1マックス511から出力されたデータ523をラッチし、ラッチされたデータを同期信号570に応じてROM59に出力する第1ラッチ513からなる。

【0020】同期制御部57は、クロック信号561を

6

ROM59のデータアクセスタイムによって定められる遅延時間ほど遅延して出力する第1、第2および第3ディレイ571、572、573および、クロック信号561と遅延された信号582、583、584とを論理ORして同期信号570を発生するOR回路575からなる。発生した同期信号570は、第2アドレス発生部53の第2ラッチ532と第3アドレス発生部51の第1ラッチ513とに入力される。

【0021】図6は図5に示したデータ変換装置の動作を説明するためのタイミング図であり、図5に示した参照記号と関連して、タイミング順序に応じてその動作を順次に説明する。図6(A)はクロック信号561、図6(B)は入力データ信号521、図6(C)は同期信号570、図6(D)はカウンタ551から出力される第1アドレス信号550、図6(E)は第1ラッチ513から出力される第3アドレス信号510、図6(F)は第2ラッチ532から出力される第2アドレス信号530、図6(G)は第1ディレイ571の出力信号5830、図6(H)は第2ディレイ572の出力信号582、図6(I)は第3ディレイ573の出力信号584の波形図である。

【0022】同期信号570は、クロック信号561の入力に応じてクロック信号561およびクロック信号561より所定時間ほど遅延された第1、第2および第3遅延信号582、583、584を論理ORして生成され、入力データ信号521の1周期の間に4つのパルスが発生して、ROM59に入力されるアドレスの同期を一致させるために用いられる。

【0023】同期信号570の1周期での動作は次の通りである。カウンタ551は、クロック信号によりROM59の第1LUTをアクセスするための第1アドレス信号550を出力する。第2マックス531は、第1LUTの変換レベルに対する第1条件データ541を選択して第2ラッチ532に出力し、ラッチされたデータは、ROM59をアクセスするための第2アドレス信号530として出力される。デコーダ515は、第1マックス511にして入力データ521を選択せしめるようにするための制御信号を発生し、第1マックス511は、デコーダ515の制御信号に応じて入力データ521を選択して第1ラッチ513に出力し、ラッチされたデータはROM59をアクセスするための第3アドレス信号510として出力される。よって、第1、第2および第3アドレス信号550、530、510によりROM59の第1LUTのデータをアクセスして、入力データ521は第1LUTによって変換され、変換された第1変換データ590は第1マックス511に帰還・入力される。

【0024】同期信号の第2周期での動作は次の通りである。カウンタ551は、クロック信号によりROM59の第2LUTをアクセスするための第1アドレス信号

7

550を出力する。第2マックス531は、第2LUTの変換レベルに対する第2条件データ542を選択して第2ラッチ532に出力し、ラッチされたデータはROM59をアクセスするための第2アドレス信号530として出力される。デコーダ515は、第1マックス511にして帰還された第1変換データ590を選択せしめるための制御信号を発生し、第1マックス511はデコーダ515の制御信号により帰還された第1変換データ590を選択して第1ラッチ513に出力し、ラッチされたデータはROM59をアクセスするための第3アドレス信号510として出力される。したがって、第1、第2および第3アドレス信号550、530、510によりROM59の第2LUTのデータをアクセスして、帰還された第1変換データは第2LUTによって変換され、変換された第2変換データは第1マックス511に再び帰還・入力される。

【0025】同期信号の第3周期での動作は、同期信号の第2周期での動作と同様であり、第1、第2および第3アドレス信号550、530、510によりROM59の第3LUTのデータをアクセスして、帰還された第2変換データは第3LUTにより変換され、変換された第3変換データは第1マックス511に再び帰還・入力される。

【0026】同期信号の第4周期で、第1マックス511は帰還された第3変換データ590を選択して第1ラッチ513に出力し、ラッチされたデータは最終変換されたデータとして出力(510)される。本実施例によると、クロック信号の1周期の間に入力データが全てのLUTにより順次に変換され最終出力データが発生する。よって、データ変換のためのLUTの種類が増える、出力データを帰還させて全てのLUTを通じてデータを変換しなければならないために、クロックの周期がROMの遅延時間に比例して増加する。しかしながら、

8

このような問題点は、使用するROMのアクセスタイムを減らすことにより解決され得る。

【0027】

【発明の効果】前述したように、本発明によると、多数のLUTを1つのメモリ素子に貯蔵し、これを利用したデータ変換装置を提供することにより、メモリ素子の体積を最小化してデータ変換装置の小型化が実現できる。

【図面の簡単な説明】

【図1】従来のデータ変換装置のブロック図である。

【図2】図1に関連したROMのデータ構成図である。

【図3】本発明によるROMのデータ構成図である。

【図4】本発明によるデータ変換装置のブロック図である。

【図5】図4に示したデータ変換装置の詳細なブロック図である。

【図6】図5に示したデータ変換装置の動作を説明するためのタイミング図である。

【符号の説明】

41 第3アドレス発生器

43 第2アドレス発生器

45 第1アドレス発生器

47 同期制御部

49 ROM

59 ROM

511 第1マックス

513 第1ラッチ

515 デコーダ

531 第2マックス

532 第2ラッチ

551 カウンタ

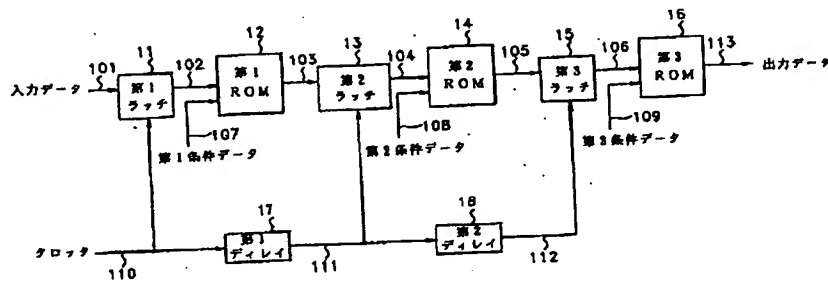
571 第1ディレイ

572 第2ディレイ

573 第3ディレイ

【図1】

(従来の技術)



【図2】

(従来の技術)

(A)

256	バイト (第1条件: 0)
256	バイト (第1条件: 1)
256	バイト (第1条件: 2)
256	バイト (第1条件: 3)
...	

(B)

256	バイト (第2条件: 0)
256	バイト (第2条件: 1)
256	バイト (第2条件: 2)
256	バイト (第2条件: 3)
...	

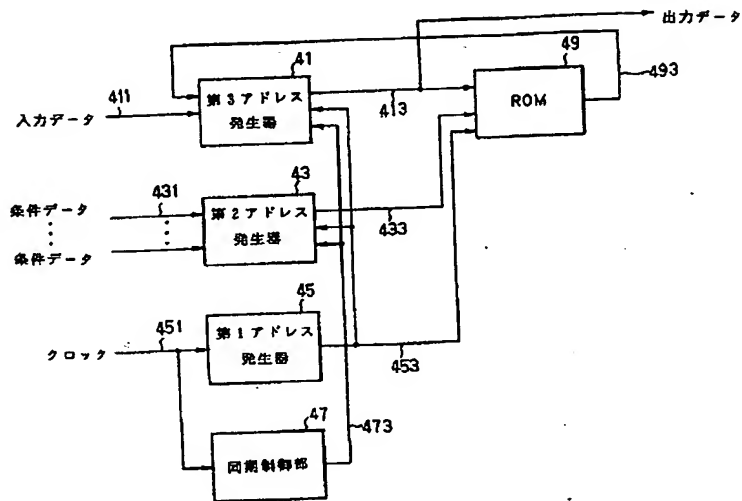
(C)

256	バイト (第3条件: 0)
256	バイト (第3条件: 1)
256	バイト (第3条件: 2)
256	バイト (第3条件: 3)
...	

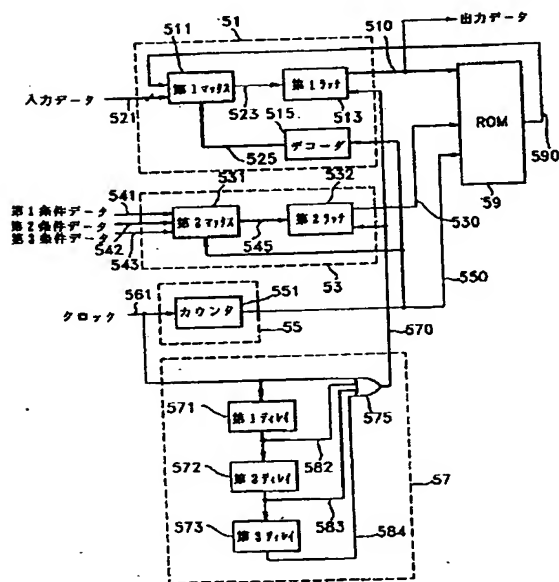
【図3】

256	バイト (第1条件: 0)	第1 LUT
256	バイト (第1条件: 1)	
256	バイト (第1条件: 2)	
256	バイト (第1条件: 3)	
256	バイト (第2条件: 0)	第2 LUT
256	バイト (第2条件: 1)	
256	バイト (第2条件: 2)	
256	バイト (第2条件: 3)	
256	バイト (第3条件: 0)	第3 LUT
256	バイト (第3条件: 1)	
256	バイト (第3条件: 2)	
256	バイト (第3条件: 3)	
...		

【図4】



【図5】



【図6】

